

デジタル・フォノイコライザ・サブ基板

DPEQ-000

取扱説明書

2023/10/26 Rev.0.00

SLDJ 合同会社

本製品は、スーパーサンプリング D/A コンバータ基板 SSDAC128_I2S 基板に装着することでデジタルフォノイコライザを構成するためのサブ基板です。アナログレコードプレイヤーのカートリッジ信号を直接入力すると、プリアンプによって増幅後、96kHz24bit でデジタル信号に変換し、SSDAC128_I2S 基板に対し I2S フォーマットで出力します。SSDAC128_I2S 基板の FPGA をデジタルフォノイコライザ回路に書き換えることで、RIAA イコライジング処理を行い、SSDAC128_I2S 基板搭載の各 DAC (DAC8820, AK4490, PCM5102) よりアナログ出力されます。

注 1 本製品を使用するには別途 SSDAC128_I2S 基板が必要です。

注 2 本製品を装着する SSDAC128_I2S は、FPGA をデジタルフォノイコライザ回路に書き換える必要があります (製作マニュアル参照)。

注 3 デジタルフォノイコライザに書き換えた SSDAC128_I2S 基板はスーパーサンプリングではなく、96kHz24bit の NOS または出力 DAC (AK4490、PCM5102) の仕様に応じたオーバーサンプリング・フィルタで処理された信号が出力されます。

1. 準備

①電源投入

SSDAC128_I2S 基板の電源入力 J2 に電源を接続し、電源を供給します。本基板の LED D1 (青)、LED D2 (ピンク)、LED D3 (緑)、LED D4 (黄) が点灯することを確認します。もしいずれかが点灯しない、点灯しても暗いなどの症状がある場合は直ちに電源を切り、製作マニュアルに従って実装、配線に間違いがないかよく確認してください。

②レコードプレイヤーの接続

電源を OFF し、レコードプレーヤー出力の RCA プラグ (L, R) とアース線をそれぞれ J3, J4 (RCA ジャック) とアースターミナルに接続します。

③ゲイン設定ショートピン

本基板は MC カートリッジ DL-103 (出力電圧 0.3mV) を基準に設計されています。DL-103 または同等の MC カートリッジを使用する場合は、JP1, JP2 をショートピンでショートします。

MMカートリッジを使用する場合は、JP1, JP2 をオープンとすることで、ゲインが 1/10 になります。

④DIP スイッチ SW1 の設定 (SSDAC128_I2S 基板)

SW1 はすべて OFF (手前側) に設定します。

⑤本基板の VR (RV3) を左に回しきり信号レベルを 0 とします。

⑥出力の確認

電源を ON し、出力 RCA ジャック J7, J9 の出力が 0V になっていることをテスターなどで確認します。DC 電圧が出ている場合は直ちに電源を切り、製作マニュアルに従って実装、配線に間違いがないかよく確認してください。

⑦アンプの接続

左右出力 J7, J9 から RCA ピンケーブルでご使用のアンプに接続します。

⑧レコード再生

レコードを再生し、本基板の VR (RV3) を徐々に上げていきます。50~70%程度の位置で最適となるように設計されています。

出力がクリップすると SSDAC_I2S 基板の赤色 LED (D17,D18) が点灯します。

2. DIP スイッチ SW1 (SSDAC128_I2S 基板) の設定

DIP スイッチ SW1 は図 1 に示す内容を設定します。

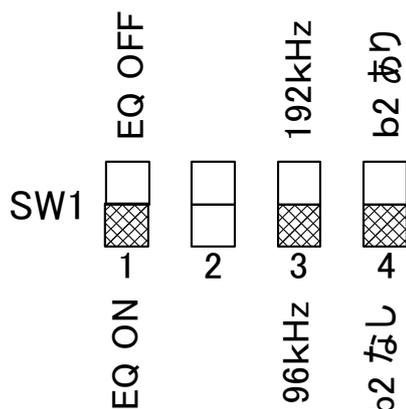


図 1. SW1 設定内容

- ・ SW1-1 : イコライザの ON/OFF を切り替えます。OFF では入力信号をそのまま出力します。
- ・ SW1-2 : 未使用
- ・ SW1-3 : サンプリング周波数を設定します。本基板では PCM1808 (96kHz24bit) を使用しているため 96kHz に設定します。
- ・ SW1-4 : フィルタ係数 b2 の有無を設定します。通常は b2 なしを設定します。b2 有無は次のような特徴があります。

b2 なし : ゲインが正確だが高域の位相誤差が大きい (18.6deg@10kHz、37.2deg@20kHz)

b2 あり : 位相が正確だが高域のゲイン誤差が大きい (-2dB@20kHz)

3. 各 DAC 出力の設定 (SSDAC128_I2S 基板)

①DAC8820 (16bit Multiplying DAC) 出力

RCA J7, J9 (反転出力は J8, J10) に NOS で出力されます。設定項目はありません。

②AK4490 ($\Delta\Sigma$ DAC) 出力

RCA J12, J13 に出力されます。図 2 に示す DIP スイッチ SW3 によってフィルタモードを設定します。SW3 は設定ビットが図 2 のように割り付けられており、各設定ビットの設定により表 1 に示すフィルタが設定されます。各フィルタの内容については AK4490 の仕様書をご覧ください。

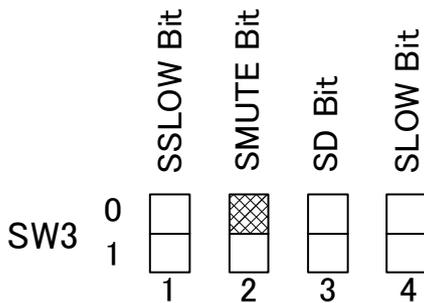


図 2. SW3 設定内容

表 1. フィルタ設定

SSLOW	SD	SLOW	MODE
0	0	0	Sharp roll-off filter
0	0	1	Slow roll-off filter
0	1	0	Short delay sharp roll-off filter
0	1	1	Short delay slow roll-off filter
1	0	-	Super Slow roll-off filter
1	1	-	Low dispersion Short delay filter (AK4490REQ only)

J11 ジャンパピンは入力フォーマットを設定しています。これは 24bit I2S 入力固定ですので、図 3 のように設定します。

③PCM5102 ($\Delta\Sigma$ DAC) 出力

RCA J14, J15 に出力されます。図 4 に示す DIP スイッチ SW4 によってフィルタモードを設定します。

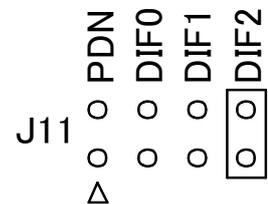


図 3. ジャンパ J11 設定

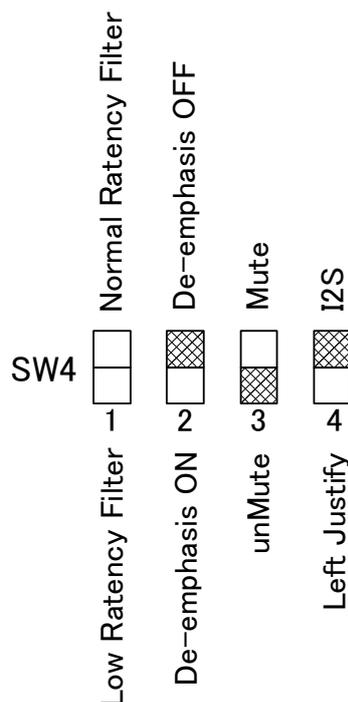


図 4. SW4 設定内容

4. LED表示 (SSDAC128_I2S 基板)

動作状態が各LEDによって表示されます。各LEDの表示内容を表2に示します。

表2. 各LEDの表示内容

LED	名称	説明
D13	b2	フィルタb2項ありのとき点灯
D14	96/192	192kHz サンプリングのとき点灯
D15	EQ ON	イコライザONで点灯
D16	-	
D17	Clip L	Lチャンネル演算出力がクリップしたとき点灯
D18	Clip R	Rチャンネル演算出力がクリップしたとき点灯

5. 動作

電源をONし、レコードプレイヤーから信号が入ると、イコライジング処理したアナログ出力が「3. 各DAC出力」の設定に応じて SSDAC128_I2S 基板の各DACから出力されます。

DAC8820 (16bit Multiplying DAC) 出力：RCA J7, J9 (反転出力：J8, J10)

AK4490 ($\Delta\Sigma$ DAC) 出力：RCA J12, J13

PCM5102 ($\Delta\Sigma$ DAC) 出力：RCA J14, J15

プリアンプゲインをVR (RV3) で最適なアンプゲインに調整します。カートリッジDL-103使用の場合、おおむね50~70%程度のVR位置で最適となります。

イコライジング演算出力がクリップすると、SSDAC128_I2S 基板のLED (D17, D18) が点灯しますので、調整の目安にしてください。

6. LINE OUTPUT

本基板のRCA J3, J4は、プリアンプ出力です。パソコンのサウンド入力に接続することで、レコードの信号をダイレクトリッピングすることができます。

7. Amaneroからの入力によるRIAAイコライジング再生

6でダイレクトリッピングしたWAVファイルを、RIAAイコライザ回路を書き込んだSSDAC128_I2S基板にパソコンからAmanero経由で入力することで、RIAAイコライジング再生ができます。

【付録】

1. 使用するオペアンプについて

本基板ではプリアンプ用に DIP 8PIN の 2 回路入りオペアンプを 2 個使用しています。このオペアンプによって音質が変わるため、差し替えができるようにソケットにしています。

本基板ではオペアンプの電源に±12V を供給していますので、オペアンプを変更する際は使用するオペアンプの電源電圧範囲にご注意ください。

おすすめのオペアンプは次の通りです。

NJM4556 NJM8068 NJM8080 MUSES8901 NJM3414 NJM3404

2. 本機 RIAA イコライザのフィルタ係数

本機を使用するための RIAA イコライザ回路 (SSDAC128_I2S の FPGA 書き込み回路) は、次の式①で構成される IIR フィルタ (BiQuad フィルタ) で、各係数は表 A のようになっています。

$$EQ(z) = \alpha \cdot \frac{1 + b1 \cdot z^{-1} + b2 \cdot z^{-2}}{1 + a1 \cdot z^{-1} + a2 \cdot z^{-2}} \dots\dots\dots \text{式①}$$

表 A. 各フィルタ係数

	α	b1	b2	a1	a2
96 k Hz b2なし	0.26	-0.96776821	0	-1.866663974	0.867089332
96 k Hz b2あり	0.126	0.03223179	-0.96776821	-1.866663974	0.867089332
192 k Hz b2なし	0.134	-0.98375427	0	-1.931223326	0.931333201
192 k Hz b2あり	0.066	0.01624573	-0.98375427	-1.931223326	0.931333201

各係数は、RIAA 規格の時定数に対してプリワーピング補正を加味した双一次変換によって算出しています。ゲインは+6dB@1kHz となるように、 α を設定しました。

b2 項については、算出値をそのまま採用する場合 (b2 あり) と、b2 の算出値を b1 にシフトして b2=0 とする場合 (b2 なし) の 2 通りを実装しています。b2 の有無により次の特徴があります。

b2 なし：ゲインが正確だが高域の位相誤差が大きい (18.6deg@10kHz、37.2deg@20kHz)

b2 あり：位相が正確だが高域のゲイン誤差が大きい (-2dB@20kHz)

本基板は ADC デバイスに PCM1808 を採用しており、フォーマットは上限の 96kHz24bit となっていますが、FPGA の RIAA 演算回路は 192kHz24bit をサポートしています。本基板の代わりに 192kHz24bit を出力する基板を搭載し、DIP スイッチ SW1 を設定することで、192kHz24bit の RIAA イコライザが構成可能です。

3. RIAA 偏差の実測値

本機によるゲイン、位相の実測値と理論値を表Bに示します。

表B. ゲイン・フェイズ実測値の RIAA 偏差

			20	100	1k	10k	20k	Hz	
b2なし	Gain	実測値	19.376	13.093	0	-13.894	-19.746	dB	
		偏差	0.105	0.002	0	-0.155	-0.127	dB	←①
	Phase	シミュレーション値	-20	-54.5	-47	-62	-48	deg	
		偏差	0	0.3	2	18.6	37.2	deg	←②
b2あり	Gain	実測値	19.451	13.123	0	-14.249	-21.655	dB	
		偏差	0.180	0.032	0	-0.510	-2.036	dB	←③
	Phase	シミュレーション値	-20	-55	-49	-81	-86	deg	
		偏差	0	-0.2	0	-0.4	-0.8	deg	←④
理論値	Gain		19.271	13.091	0	-13.739	-19.619	dB	
	Phase		-20	-54.8	-49	-80.6	-85.2	deg	

- ① b2なしでのゲイン実測値の RIAA 偏差は、最大で-0.155dB@10kHz で非常に小さい。
- ② b2なしでの位相シミュレーション値の RIAA 偏差は最大 37.2deg@20kHz と大きい。
- ③ b2ありでのゲイン実測値の RIAA 偏差は、最大-2.036dB@20kHz とやや大きい。
- ④ b2ありでの位相シミュレーション値の RIAA 偏差は最大-0.8deg@20kHz と非常に小さい。

以上により、b2 係数の有無によって、ゲイン偏差と位相偏差がトレードオフの関係になっており、一般的には b2 なしでゲイン偏差を優先するケースが多いと思われます。