

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3992849号

(P3992849)

(45) 発行日 平成19年10月17日(2007.10.17)

(24) 登録日 平成19年8月3日(2007.8.3)

(51) Int. Cl.

F I

H03M 1/66 (2006.01)

H03M 1/66 C

H03M 1/52 (2006.01)

H03M 1/66 A

H03M 1/52

請求項の数 5 (全 17 頁)

(21) 出願番号	特願平10-218532	(73) 特許権者	591220850
(22) 出願日	平成10年7月16日(1998.7.16)		新潟精密株式会社
(65) 公開番号	特開2000-36748(P2000-36748A)		新潟県上越市西城町2丁目5番13号
(43) 公開日	平成12年2月2日(2000.2.2)	(74) 代理人	100103171
審査請求日	平成17年6月27日(2005.6.27)		弁理士 雨貝 正彦
		(72) 発明者	小柳 裕喜生
			新潟県上越市西城町2丁目5番13号 新
			潟精密株式会社内
		(72) 発明者	寅市 和男
			埼玉県狭山市入間川1-14-2
		審査官	柳下 勝幸

最終頁に続く

(54) 【発明の名称】 デジタルーアナログ変換器

(57) 【特許請求の範囲】

【請求項1】

所定間隔で連続的に入力される複数のデジタルデータを、それぞれ所定期間保持する複数のデータ保持部と、

前記複数のデータ保持部のそれぞれに保持されたデジタルデータに対応する所定の階段関数を、それぞれの前記デジタルデータの入力タイミングに同期させて発生する複数の階段関数発生部、

複数の前記階段関数発生部のそれぞれによって発生した前記階段関数の値を加算する加算部と、

前記加算部による加算処理によって得られたデジタルデータに対応する階段状のアナログ電圧を生成する階段電圧波形発生部と、

前記階段電圧波形発生部によって生成されたアナログ電圧を複数回のアナログ積分を行う積分処理部と、を備え、

前記複数のデータ保持部は、連続的に入力される前記データを巡回的に保持し、

前記階段関数発生部は、MおよびNがそれぞれ2以上の整数、標本位置をtとしたときに、 $t = \pm M$ でゼロに収束し、 $t = 0$ で1の値を、 $t = \pm 1 \dots \pm M$ の時ゼロの値を有するN次の区分多項式で構成されている標本化関数を、N回微分することにより定義される階段関数を発生し、

前記積分処理部は、前記階段状のアナログ電圧をN回積分することを特徴とするデジタル - アナログ変換器。

【請求項 2】

請求項 1 において、

前記階段関数は、正領域と負領域の面積が等しく設定されていることを特徴とするデジタル - アナログ変換器。

【請求項 3】

請求項 1 または 2 において、

前記階段関数は、等間隔に配置された 5 つの前記デジタルデータに対応した所定範囲において、 -1 、 $+3$ 、 $+5$ 、 -7 、 -7 、 $+5$ 、 $+3$ 、 -1 の重み付けがなされた同じ幅の 8 つの区分領域からなっていることを特徴とするデジタル - アナログ変換器。

【請求項 4】

請求項 3 において、

前記階段関数は、前記重み付けのそれぞれを、ビットシフトによる -2 、 $+2$ 、 $+4$ 、 -8 、 -8 、 $+4$ 、 $+2$ 、 -2 倍の乗算処理を行った結果に対して前記デジタルデータ自身を加算することによって実現することを特徴とするデジタル - アナログ変換器。

【請求項 5】

請求項 1 ~ 4 のいずれかにおいて、

前記アナログ積分が行われる回数は 2 回であり、複数の前記デジタルデータに対応した電圧をなめらかにつなぐ連続したアナログ信号を発生させることを特徴とするデジタル - アナログ変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、離散的なデジタルデータを連続的なアナログ信号に変換するデジタル - アナログ変換器に関する。なお、本明細書においては、関数の値が局所的な領域で 0 以外の有限の値を有し、それ以外の領域で 0 となる場合を「有限台」と称して説明を行うものとする。

【0002】

【従来の技術】

最近のデジタルオーディオ装置、例えば CD (コンパクトディスク) プレーヤ等においては、離散的な音楽データ (デジタルデータ) から連続的なアナログの音声信号を得るためにオーバーサンプリング技術を適用した D/A (デジタル - アナログ) 変換器が用いられている。このような D/A 変換器は、入力されるデジタルデータの間を補間して擬似的にサンプリング周波数を上げるために一般にはデジタルフィルタが用いられており、各補間値をサンプルホールド回路によって保持して階段状の信号波形を生成した後にこれをローパスフィルタに通すことによって滑らかなアナログの音声信号を出力している。

【0003】

ところで、D/A 変換器に含まれるデジタルフィルタによるデータ補間は、一般には sinc 関数と称される標本化関数を用いて行われる。図 13 は、 sinc 関数の説明図である。 sinc 関数は、ディラックのデルタ関数を逆フーリエ変換したときに現れるものであり、標本化周波数を f としたときに $\text{sinc}(ft) / (ft)$ で定義される。この sinc 関数は、 $t = 0$ の標本点のみで 1 になり、他の全ての標本点では 0 となる。

【0004】

従来は、この sinc 関数の波形データを FIR (finite impulse response) フィルタのタップ計数に設定したデジタルフィルタを用いることにより、オーバーサンプリングを行っている。

【0005】

【発明が解決しようとする課題】

ところで、デジタルフィルタによって離散的な音声データ間の補間演算を行うオーバーサンプリング技術を用いると、減衰特性がなだらかなローパスフィルタを用いることができるため、ローパスフィルタによる位相特性を直線位相特性に近づけるとともに標本化折返

10

20

30

40

50

し雑音を低減することが可能になる。このような効果は擬似的なサンプリング周波数を上げれば上げるほど顕著になるが、サンプリング周波数を上げるとそれだけデジタルフィルタやサンプルホールド回路の処理速度も高速化されるため、高速化に適した高価な部品を使用する必要があり、部品コストの上昇を招く。また、画像データのように本来のサンプリング周波数自体が高い場合（例えば数MHz）には、これをオーバーサンプリングするには数十MHzから数百MHzで動作可能な部品を用いてデジタルフィルタやサンプルホールド回路を構成する必要があり、その実現が容易ではなかった。

【0006】

また、オーバーサンプリング技術を用いた場合であっても、最終的には階段状の信号波形をローパスフィルタに通して滑らかなアナログ信号を生成しているため、ローパスフィルタを用いている限り厳密な意味での直線位相特性を持たせることができなかつた。また、上述した sinc 関数は、 \pm で0に収束する関数であるため、正確な補間値を求めようとすると、全てのデジタルデータの値を考慮する必要はあるが、実際は回路規模等の都合から、考慮するデジタルデータの範囲を限定してデジタルフィルタのタップ係数の数が設定されており、得られる補間値には打ち切り誤差が含まれていた。

10

【0007】

このように、オーバーサンプリング技術を適用した従来のD/A変換器は、擬似的にサンプリング周波数を上げるために高速な部品が必要であって、コスト高を招いたり、あるいは実現が容易ではなかった。また、ローパスフィルタを通すため位相特性の劣化があり、しかも sinc 関数を適用したデジタルフィルタを用いているため打ち切り誤差が含まれ、これらに対応した出力波形の歪みが生じていた。

20

【0008】

本発明は、このような点に鑑みて創作されたものであり、その目的は、部品の動作速度を上げることなく歪みの少ない出力波形を得ることができるデジタル-アナログ変換器を提供することにある。

【0009】

【課題を解決するための手段】

上述した課題を解決するために、本発明のデジタル-アナログ変換器は、入力されたデジタルデータのそれぞれに対応する値を有する所定の階段関数を発生させてこれらを加算し、階段状のアナログ電圧に変換した後に複数回のアナログ積分を行うことによって、順に入力される各デジタルデータに対応する電圧をなめらかにつなぐ連続したアナログ信号を発生する。このように、順に入力される複数のデジタルデータに対応する所定の階段関数を複数のデジタルデータのそれぞれについて発生させて各階段関数の値を加算し、その後この加算結果をアナログ電圧に変換して積分することにより連続的に変化するアナログ信号が得られるため、最終的なアナログ信号を得るためにローパスフィルタを用いる必要がなく、扱う信号の周波数によって位相特性が異なるために群遅延特性が悪化するといったことがなく、歪みの少ない出力波形を得ることができる。また、オーバーサンプリングを行っていた従来の手法に比べると、部品の動作速度を上げる必要がないため、高価な部品を使用する必要がなく、部品コストの低減が可能になる。

30

【0010】

特に、上述した階段関数は、区分多項式によって構成された所定の標本化関数について、各区分多項式を複数回微分することにより得られる波形を用いることが好ましい。すなわち、反対にこの階段関数を複数回積分することにより、所定の標本化関数に対応した波形を得ることができるため、標本化関数による畳み込み演算を、階段関数を合成することによって等価的に実現することが可能になり、処理内容を単純化することができるため、デジタルデータをアナログ信号に変換するために必要な処理量の低減が可能になる。

40

【0011】

また、上述した標本化関数は、全域が1回だけ微分可能であって有限台の値を有することが好ましい。自然界に存在する各種の信号は、滑らかに変化しているため微分可能性が必要であると考えられるが、その微分可能回数は必ずしも無限回である必要はなく、むしろ

50

1回だけ微分可能であれば十分に自然現象を近似できると考えられる。このように、有限回微分可能であって有限台な標本化関数を用いることにより数々の利点があるが、従来はこのような条件を満たす標本化関数が存在しないと考えられていた。ところが、本発明者の研究によって、上述した条件を満たす関数が見いだされた。

【0012】

具体的には、上述した標本化関数は、標本位置 t が -2 から $+2$ までの間で 0 以外の値を有する有限台の関数であり、 $-2 < t < -3/2$ については $(-t^2 - 4t - 4)/4$ で、 $-3/2 < t < -1$ については $(3t^2 + 8t + 5)/4$ で、 $-1 < t < -1/2$ については $(5t^2 + 12t + 7)/4$ で、 $-1/2 < t < 1/2$ については $(-7t^2 + 4)/4$ で、 $1/2 < t < 1$ については $(5t^2 - 12t + 7)/4$ で、 $1 < t < 3/2$ については $(3t^2 - 8t + 5)/4$ で、 $3/2 < t < 2$ については $(-t^2 + 4t - 4)/4$ で定義されるものを用いることができる。あるいは、このような標本化関数に対応する階段関数波形としては、等間隔に配置された5つのデジタルデータに対応した所定範囲において、 -1 、 $+3$ 、 $+5$ 、 -7 、 -7 、 $+5$ 、 $+3$ 、 -1 の重み付けがなされた同じ幅の8つの区分領域からなっているものを用いることができる。また、この重み付け処理は、ビットシフトによる -2 、 $+2$ 、 $+4$ 、 -8 、 -8 、 $+4$ 、 $+2$ 、 -2 倍の乗算処理を行った結果に対してデジタルデータ自身を加算することによって実現することが好ましい。ビットシフトによって乗算処理が行われるため、処理の簡略化、高速化が可能になる。

10

【0013】

このように、全域で1回だけ微分可能な標本化関数を用いることにより、複数の階段関数を加算した後に積分処理する回数を減らすことができ、処理量を低減することが可能になる。また、有限台の値を有する標本化関数を用いることにより、この有限台の区間に対応したデジタルデータのみを処理の対象とすればよいため、さらに処理量を低減することができ、しかも有限個のデジタルデータを対象に処理を行った場合の打ち切り誤差の発生を防止することができる。

20

【0014】

【発明の実施の形態】

以下、本発明を適用した一実施形態のD/A変換器について、図面を参照しながら詳細に説明する。図1は、本実施形態のD/A変換器における補間演算に用いられる標本化関数の説明図である。図1に示す標本化関数 $H(t)$ は、微分可能性に着目した有限台の関数であり、例えば全域において1回だけ微分可能であって、横軸に沿った標本位置 t が -2 から $+2$ の間にあるときに 0 以外の有限な値を有する有限台の関数である。また、 $H(t)$ は標本化関数であるため、 $t = 0$ の標本位置のみで 1 になり、 $t = \pm 1$ 、 ± 2 の標本位置において 0 になるという特徴を有する。

30

【0015】

上述した各種の条件(標本化関数、1回だけ微分可能、有限台)を満たす関数 $H(t)$ が存在することが本発明者の研究により確かめられている。具体的には、このような標本化関数 $H(t)$ は、3階Bスプライン関数を $F(t)$ としたときに、

$$H(t) = -F(t + 1/2)/4 + F(t) - F(t - 1/2)/4 \dots (1)$$

40

で定義することができる。ここで、3階Bスプライン関数 $F(t)$ は、

$$(4t^2 + 12t + 9)/4 \quad ; \quad -3/2 < t < -1/2$$

$$-2t^2 + 3/2 \quad ; \quad -1/2 < t < 1/2$$

$$(4t^2 - 12t + 9)/4 \quad ; \quad 1/2 < t < 3/2 \quad \dots (2)$$

で表される。

【0016】

上述した標本化関数 $H(t)$ は、二次の区分多項式であり、3階Bスプライン関数 $F(t)$ を用いているため、全域で1回だけの微分可能性が保証される有限台の関数となっている。また、 $t = \pm 1$ 、 ± 2 の標本位置において 0 となる。

【0017】

50

上述した(2)式を(1)式に代入して、標準化関数 $H(t)$ を区分多項式の形で求めると、

$$\begin{aligned} & (-t^2 - 4t - 4) / 4 && ; -2 < t < -3/2 \\ & (3t^2 + 8t + 5) / 4 && ; -3/2 < t < -1 \\ & (5t^2 + 12t + 7) / 4 && ; -1 < t < -1/2 \\ & (-7t^2 + 4) / 4 && ; -1/2 < t < 1/2 \\ & (5t^2 - 12t + 7) / 4 && ; 1/2 < t < 1 \\ & (3t^2 - 8t + 5) / 4 && ; 1 < t < 3/2 \\ & (-t^2 + 4t - 4) / 4 && ; 3/2 < t < 2 \quad \dots (3) \end{aligned}$$

と表すことができる。

10

【0018】

このように、上述した関数 $H(t)$ は、標準化関数であって、全域において1回だけ微分可能であり、しかも標本位置 $t = \pm 2$ において0に収束する有限台の関数である。したがって、この標準化関数 $H(t)$ を用いて各標本値に基づく重ね合わせを行うことにより、標本値間の値を1回だけ微分可能な関数を用いて補間することができる。

【0019】

図2は、標本値とその間の補間値との関係を示す図である。一般に、与えられた各標本値のそれぞれについて補間位置における標準化関数の値を求め、これを用いて畳み込み演算を行うことにより、各標本値の間の中間位置に対応する補間値 y を求めることができる。

【0020】

20

従来から用いられている sinc 関数は $t = \pm$ の標本位置で0に収束する関数であるため、補間値 y を正確に求めようとすると、 $t = \pm$ までの各標本値に対応して補間位置での sinc 関数の値を計算し、これを用いて畳み込み演算を行う必要があった。ところが、本実施形態で用いる標準化関数 $H(t)$ は、 $t = \pm 2$ の標本位置で0に収束するため、補間位置を挟んで前後2個ずつの標本値を考慮すればよく、演算量を大幅に削減することができる。しかも、それ以外の標本値については、本来考慮すべきであるが演算量や精度等を考慮して無視しているというわけではなく、理論的に考慮する必要がないため、打ち切り誤差は発生しない。

【0021】

図3は、図1に示す標準化関数を用いたデータ補間の説明図である。例えば、図3(A)に示す標本位置 t_1 における標本値 $Y(t_1)$ について具体的に説明する。補間位置 t_0 と標本位置 t_1 との距離は、隣接する2つの標本位置間の距離を正規化して1とすると、 $1+a$ となる。したがって、標本位置 t_1 に標準化関数 $H(t)$ の中心位置を合わせたときの補間位置 t_0 における標準化関数の値は $H(1+a)$ となる。実際には、標本値 $Y(t_1)$ に一致するように標準化関数 $H(t)$ の中心位置のピーク高さを合わせるため、上述した $H(1+a)$ を $Y(t_1)$ 倍した値 $H(1+a) \cdot Y(t_1)$ が求めたい値となる。

30

【0022】

同様にして、図3(B)~(D)に示すように、他の3つの標本値に対応して、補間位置 t_0 における各演算結果 $H(a) \cdot Y(t_2)$ 、 $H(1-a) \cdot Y(t_3)$ 、 $H(2-a) \cdot Y(t_4)$ が得られる。このようにして得られた4つの演算結果 $H(1+a) \cdot Y(t_1)$ 、 $H(a) \cdot Y(t_2)$ 、 $H(1-a) \cdot Y(t_3)$ 、 $H(2-a) \cdot Y(t_4)$ を加算して畳み込み演算を行うことにより、補間位置 t_0 における補間値 y が求められる。

40

【0023】

ところで、上述したように、原理的には各標本値に対応させて標準化関数 $H(t)$ の値を計算して畳み込み演算を行うことにより各標本値の間の中間位置に対応する補間値を求めることができるが、図1に示した標準化関数は全域で1回だけ微分可能な二次の区分多項式であり、この特徴を利用して、等価的な他の処理手順によって補間値を求めることができる。

50

【 0 0 2 4 】

図 4 は、図 1 に示した標本化関数を 1 回微分した波形を示す図である。図 1 に示した標本化関数 $H(t)$ は、全域で 1 回微分可能な二次の区分多項式であるため、これを 1 回微分することにより、図 4 に示すような連続的な折れ線状の波形からなる折れ線関数を得ることができる。

【 0 0 2 5 】

また、図 5 は図 4 に示した折れ線関数をさらに微分した波形を示す図である。但し、折れ線波形には複数の角点が含まれており、全域で微分することはできないため、隣接する 2 つの角点に挟まれた直線部分について微分を行うものとする。図 4 に示す折れ線波形を微分することにより、図 5 に示すような階段状の波形からなる階段関数を得ることができる。

10

【 0 0 2 6 】

このように、本実施形態の D/A 変換器における補間演算に用いられる標本化関数は、全域を 1 回微分して折れ線関数を得られ、この折れ線関数の各直線部分をさらに微分することにより階段関数を得られる。したがって、反対に図 5 に示した階段関数を発生させ、これを 2 回積分することにより、図 1 に示した標本化関数 $H(t)$ を得ることができる。

【 0 0 2 7 】

なお、図 5 に示した階段関数は正領域と負領域とが等しい面積を有しており、これらを合計した値が 0 となる特徴を有している。換言すれば、このような特徴を有する階段関数を複数回積分することにより、図 1 に示したような全域における微分可能性が保証された有

20

限台の標本化関数を得ることができる。

【 0 0 2 8 】

ところで、図 3 に示した畳み込み演算による補間値の算出では、標本化関数 $H(t)$ の値に各標本値を乗算したが、図 5 に示した階段関数を 2 回積分して標本化関数 $H(t)$ を求める場合には、この積分処理によって得られた標本化関数の値に各標本値を乗算する場合の他に、等価的には、積分処理前の階段関数を発生させる際に、各標本値が乗算された階段関数を発生させ、この階段関数を用いて畳み込み演算を行った結果に対して 2 回の積分処理を行って補間値を求めることができる。本実施形態の D/A 変換器は、このようにして補間値を求めており、次にその詳細を説明する。

【 0 0 2 9 】

図 6 は、本実施形態の D/A 変換器の構成を示す図である。同図に示す D/A 変換器は、4 つのデータ保持部 10 - 1、10 - 2、10 - 3、10 - 4、4 つの階段関数発生部 11 - 1、11 - 2、11 - 3、11 - 4、加算部 12、D/A 変換器 14、2 つの積分処理部 16、18、タイミング制御部 20 を含んで構成されている。

30

【 0 0 3 0 】

各データ保持部 10 - 1 ~ 10 - 4 は、所定の時間間隔で順次入力される離散的なデジタルデータを巡回的に選択して取り込み、次の取り込みタイミングが到来するまでその値を保持する。例えば、最初に入力されるデジタルデータがデータ保持部 10 - 1 に保持され、2 番目に入力されるデジタルデータがデータ保持部 10 - 2 に保持される。また、3 番目、4 番目に入力される各デジタルデータがデータ保持部 10 - 3、10 - 4 に保持され

40

る。各データ保持部 10 - 1 ~ 10 - 4 におけるデータの保持動作が一巡すると、次に入力される 5 番目のデジタルデータは、一番早くデータを保持したデータ保持部 10 - 1 に取り込まれて保持される。このようにして、順に入力される各デジタルデータがデータ保持部 10 - 1 等によって巡回的に保持される。

【 0 0 3 1 】

各階段関数発生部 11 - 1 ~ 11 - 4 は、対応するデータ保持部 10 - 1 ~ 10 - 4 によるデジタルデータの保持タイミングに同期して、それぞれの保持データの値に比例した振幅（波高値）を有する階段関数を発生する。階段関数そのものは図 5 に示した形状を有しており、この階段関数の値が、データ保持部 10 - 1 ~ 10 - 4 のそれぞれに保持されたデジタルデータの値に比例している。図 5 に示した階段関数の具体的な値は、上述したく

50

3) 式の各区分多項式を2回微分することにより得ることができ、以下ようになる。

【0032】

- 1 ; - 2 t < - 3 / 2
 3 ; - 3 / 2 t < - 1
 5 ; - 1 t < - 1 / 2
 - 7 ; - 1 / 2 0
 - 7 ; 0 t < 1 / 2
 5 ; 1 / 2 t < 1
 3 ; 1 t < 3 / 2
 - 1 ; 3 / 2 t 2

10

加算部12は、4つの階段関数発生部11-1~11-4から出力されるそれぞれの階段関数の値をデジタル的に加算する。D/A変換器14は、加算部12から入力される階段状のデジタルデータに対応するアナログ電圧を発生する。このD/A変換器10では、入力されるデジタルデータの値に比例した一定のアナログ電圧を発生するため、入力されるデジタルデータに対応して階段状に電圧レベルが変化する出力電圧が得られる。

【0033】

縦続接続された2つの積分処理部16、18は、D/A変換器14の出力端に現れる階段状に変化する出力電圧に対して2回の積分処理を行う。前段の積分処理部16からは直線状(一次関数的)に変化する出力電圧が得られ、後段の積分処理部18からは二次関数的に変化する出力電圧が得られる。このようにして、複数のデジタルデータが一定間隔で入力されると、後段の積分処理部18からは、各デジタルデータに対応する電圧の間を1回だけ微分可能な滑らかな曲線で結んだ連続的なアナログ信号が得られる。

20

【0034】

ところで、上述した階段関数発生部11-1から出力される階段関数の値は、データ保持部10-1に保持されたデジタルデータの値に比例しているため、この階段関数の値に対応する電圧値に対して2つの積分処理部16、18によって積分処理を2回繰り返すことにより、後段の積分処理部18からは、図1に示した階段関数と入力されるデジタルデータとを乗算した結果に対応する電圧波形の信号が出力される。また、加算部12によって、各階段関数発生部11-1~11-4から出力される階段関数の値を加算するということは、後段の積分処理部18から出力される信号に着目すると、図1に示した階段関数を用いて畳み込み演算を行うことに他ならない。

30

【0035】

したがって、本実施形態のD/A変換器にデジタルデータが一定の時間間隔で入力される場合を考えると、この入力間隔に対応させて各階段関数発生部11-1~11-4による階段関数波形の発生開始タイミングをずらし、それぞれにおいて発生した階段関数の加算を行い、その結果をアナログ電圧に変換した後に2回の積分処理を行うことにより、一定間隔で入力されるデジタルデータに対応した電圧間を滑らかに結ぶアナログ信号が得られる。

【0036】

図7は、本実施形態のD/A変換器の動作タイミングを示す図である。図7(A)に示すように一定の時間間隔でデジタルデータ D_1 、 D_2 、 D_3 、...が入力されると、各データ保持部10-1~10-4は、これらのデジタルデータ D_1 、 D_2 、 D_3 、...を巡回的に保持する。具体的には、データ保持部10-1は、1番目に入力されるデジタルデータ D_1 を取り込んで、入力されるデジタルデータが一巡するまで(5番目のデジタルデータ D_5 が入力されるまで)保持する(図7(B))。また、この1番目のデジタルデータ D_1 の保持タイミングに合わせて、階段関数発生部11-1は、このデジタルデータ D_1 に比例した値を有する階段関数を発生する(図7(C))。

40

【0037】

同様に、データ保持部10-2は、2番目に入力されるデジタルデータ D_2 を取り込んで、入力されるデジタルデータが一巡するまで(6番目のデジタルデータ D_6 が入力される

50

まで)保持する(図7(D))。また、この2番目のデジタルデータ D_2 の保持タイミングに合わせて、階段関数発生部11-2は、このデジタルデータ D_2 に比例した値を有する階段関数を発生する(図7(E))。

【0038】

データ保持部10-3は、3番目に入力される入力データ D_3 を取り込んで、入力されるデジタルデータが一巡するまで(7番目のデジタルデータ D_7 が入力されるまで)保持する(図7(F))。また、この3番目のデジタルデータ D_3 の保持タイミングに合わせて、階段関数発生部11-3は、このデジタルデータ D_3 に比例した値を有する階段関数を発生する(図7(G))。

【0039】

データ保持部10-4は、4番目に入力されるデジタルデータ D_4 を取り込んで、入力されるデジタルデータが一巡するまで(8番目のデジタルデータ D_8 が入力されるまで)保持する(図7(H))。また、この4番目のデジタルデータ D_4 の保持タイミングに合わせて、階段関数発生部11-4は、このデジタルデータ D_4 に比例した値を有する階段関数を発生する(図7(I))。

【0040】

加算部12は、このようにして4つの階段関数発生部11-1~11-4のそれぞれから出力される各階段関数の値を加算する。ところで、図5に示したように、各階段関数発生部11-1~11-4によって発生する階段関数は、図1に示した標本化関数の有限台の範囲である標本位置 $t = -2 \sim +2$ の領域を0.5毎に分割した8つの区分領域を有する有限台の関数である。例えば、標本位置 $t = -2$ から $+2$ に向かって順に第1区分領域、第2区分領域、...第8区分領域とする。

【0041】

まず加算部12は、階段関数発生部11-1から出力される第7区分領域に対応する値($3D_1$)と、階段関数発生部11-2から出力される第5区分領域に対応する値($-7D_2$)と、階段関数発生部11-3から出力される第3区分領域に対応する値($5D_3$)と、階段関数発生部11-4から出力される第1区分領域に対応する値($-D_4$)とを加算して、加算結果($3D_1 - 7D_2 + 5D_3 - D_4$)を出力する。

【0042】

次に、加算部12は、階段関数発生部11-1から出力される第8区分領域に対応する値($-D_1$)と、階段関数発生部11-2から出力される第6区分領域に対応する値($5D_2$)と、階段関数発生部11-3から出力される第4区分領域に対応する値($-7D_3$)と、階段関数発生部11-4から出力される第2区分領域に対応する値($3D_4$)とを加算して、加算結果($-D_1 + 5D_2 - 7D_3 + 3D_4$)を出力する。

【0043】

このようにして加算部12から順に階段状の加算結果が出力されると、D/A変換器14は、この加算結果(デジタルデータ)に基づいてアナログ電圧を発生する。このD/A変換器14では、入力されるデジタルデータの値に比例した一定のアナログ電圧が発生されるため、入力されるデジタルデータに対応して階段状に電圧レベルが変化する出力波形が得られる(図7(J))。

【0044】

D/A変換部14から階段状の電圧レベルを有する波形が出力されると、前段の積分処理部16は、この波形を積分して折れ線状の波形を出力し(図7(K))、後段の積分処理部18は、この折れ線状の波形をさらに積分して、デジタルデータ D_2 と D_3 のそれぞれに対応した電圧値の間を1回だけ微分可能な滑らかな曲線で結ぶ出力電圧を発生する(図7(L))。

【0045】

このように、本実施形態のD/A変換器は、入力されるデジタルデータを保持するタイミングに合わせて階段関数を発生させ、この階段関数を4つのデジタルデータについて加算した後にこの加算結果に対応したアナログ電圧を発生させ、さらにその後2回の積分処

10

20

30

40

50

理を行うことにより、各デジタルデータに対応した電圧を滑らかにつなぐ連続したアナログ信号を発生することができる。

【0046】

特に、入力される各デジタルデータに対応させて、それぞれが異なる開始タイミングで4つの階段関数を発生させ、この加算結果に対応するアナログ電圧を発生させた後に2回の積分処理を行うことにより、連続的なアナログ信号が得られるため、従来のようにサンプルホールド回路やローパスフィルタが不要であって直線位相特性が悪化することもなく、良好な群遅延特性を実現することができる。また、標本位置 t が ± 2 において0に収束する有限台の標本化関数 $H(t)$ を用いているため、デジタルデータ間の補間処理を行うために前後4つのデジタルデータのみを用いればよく、補間演算を行うために必要な処理量を少なくすることができる。さらに、従来のようにオーバーサンプリング処理を行っていないため、入力されるデジタルデータの時間間隔に応じて決まる所定の動作速度を確保するだけでよく、特に高速な信号処理を行う必要もないため、高価な部品を用いる必要もない。

10

【0047】

図8は、図6に示したD/A変換器の詳細構成を示す図である。図8に示すように、各データ保持部10-1~10-4はD型フリップフロップ(D-FF)によって構成されており、バッファ22を介して入力されるデータに対して、取り込みタイミングを入力データの1周期分ずつ順番にずらしていくことにより、入力データ D_1 、 D_2 、 D_3 、...を巡回的に保持する。例えば、8ビットのデジタルデータが入力されるものとする、各データ保持部10-1~10-4に保持された8ビットのデータは、それぞれに対応する階段関数発生部11-1~11-4に入力される。

20

【0048】

図9は、階段関数発生部11-1~11-4の詳細な構成を示す図である。なお、4つの階段関数発生部11-1~11-4は同じ構成を有しており、以下では、代表して階段関数発生部11-1の詳細について説明する。

【0049】

図9に示すように、階段関数発生部11-1は、反転出力を有する2つのトリステートバッファ100、102と、非反転出力を有する2つのトリステートバッファ104、106と、この階段関数発生部11-1に入力されるデータとトリステートバッファ100~106のいずれかを介して出力されるデータとを加算する加算器(ADD)108とを含んで構成されている。

30

【0050】

ところで、図5に示した階段関数は、横軸を上方向に+1シフトすると図10に示す階段関数に変形される。この変形後の階段関数のそれぞれの値は、2のべき乗の値になっているため、各値を乗数として入力データに対する乗算を行う場合には、単純なビットシフト操作によって乗算を実行することができる。その後、上方向に+1シフトした横軸を元に戻す処理(乗算結果に入力データを加算する処理)を行って、各階段関数発生部の出力値とすればよい。

【0051】

具体的には、トリステートバッファ100は、入力データに対して1ビット分シフトするとともに、そのシフトされたデータの各ビットを反転して出力すると同時に、加算器108のキャリー入力に1を加えることによって、(-2)倍の乗算が行われる。図10の「S1」で示すタイミングで、トリステートバッファ100から乗算結果に対応するデータを出力することにより、階段関数の第1および第8の区分領域に対応するデータが得られる。

40

【0052】

同様に、トリステートバッファ102は、入力データを1ビット分シフトすることにより、2倍の乗算を行う。図10の「S2」で示すタイミングで、トリステートバッファ102から乗算結果に対応するデータを出力することにより、階段関数の第2および第7

50

の区分領域に対応するデータが得られる。

【 0 0 5 3 】

トリステートバッファ 1 0 4 は、入力データを 2 ビット分シフトすることにより、4 倍の乗算を行う。図 1 0 の「 S 3 」で示すタイミングで、トリステートバッファ 1 0 4 から乗算結果に対応するデータを出力することにより、階段関数の第 3 および第 6 の区分領域に対応するデータが得られる。

【 0 0 5 4 】

トリステートバッファ 1 0 6 は、入力データを 3 ビットシフトするとともに各ビットを反転し、加算器 1 0 8 のキャリー入力に 1 を加えることにより、(- 8) 倍の乗算を行う。図 1 0 の「 S 4 」で示すタイミングで、トリステートバッファ 1 0 0 から乗算結果に対応するデータを出力することにより、階段関数の第 4 および第 5 の区分領域に対応するデータが得られる。

【 0 0 5 5 】

加算器 1 0 8 は、トリステートバッファ 1 0 0 ~ 1 0 6 のいずれかから選択的に出力される正あるいは負のデータと、階段関数発生部 1 1 - 1 に入力されるデータとを加算する。そして、加算器 1 0 8 によって得られるデータが階段関数 1 1 - 1 から出力される。

【 0 0 5 6 】

なお、加算器 1 0 8 では、ビットシフトされた結果を反転したトリステートバッファ 1 0 0、1 0 2 の出力データが入力されるか、あるいはビットシフトのみがなされたトリステートバッファ 1 0 4、1 0 6 の出力データが入力されるかによって、処理手順の詳細が異なる。すなわち、ビットシフトがされていないデータを用いて加算を行う場合には、単純に 2 つのデータの加算処理が行われる。また、ビット反転が行われたデータを用いて加算を行う場合には、2 つのデータを加算した後に最下位ビット b 0 に ' 1 ' を加算する。加算器 1 0 8 に入力されたデータがいずれの種類に属するかは、最上位ビットが ' 1 ' であるか否かを調べればよい。

【 0 0 5 7 】

図 8 に示す加算器 1 2 は、2 つの入力端子を有する 3 つの加算器 (A D D) 1 2 0、1 2 2、1 2 4 によって構成されている。これら 3 つの加算器 1 2 0、1 2 2、1 2 4 によって、4 つの階段関数発生部 1 1 - 1 ~ 1 1 - 4 から出力されるそれぞれのデータが加算される。この加算結果が D / A 変換器 (D A C) 1 4 に入力されて階段状の電圧波形に変換され、縦続接続された 2 つの積分処理部 1 6、1 8 のうちの前段の積分処理部 1 6 に印加される。

【 0 0 5 8 】

また、図 8 に示すように、前段の積分処理部 1 6 は、2 つの演算増幅器 1 4 0、1 4 1、2 つのキャパシタ 1 4 2、1 4 3、2 つの抵抗 1 4 4、1 4 5 およびスイッチ 1 4 6 を含んで構成されている。一方の演算増幅器 1 4 0 とキャパシタ 1 4 2 および抵抗 1 4 4 によって積分回路が構成されており、抵抗 1 4 4 を介して演算増幅器 1 4 0 の 反転入力端子 に印加される D / A 変換器 1 4 の出力電圧に対して所定の積分動作が行われる。また、後段の積分処理部 1 8 は、2 つの演算増幅器 1 5 0、1 5 1、2 つのキャパシタ 1 5 2、1 5 3、2 つの抵抗 1 5 4、1 5 5 およびスイッチ 1 5 6 を含んで構成されている。一方の演算増幅器 1 5 0 とキャパシタ 1 5 2 および抵抗 1 5 4 によって積分回路が構成されており、抵抗 1 5 4 を介して演算増幅器 1 5 0 の 反転入力端子 に印加される前段の積分処理部 1 6 の出力電圧に対して所定の積分動作が行われる。

【 0 0 5 9 】

ところで、本実施形態の D / A 変換器 は、例えばテレビジョン受信機の R G B 信号や輝度信号等の映像信号を得る回路として用いる用途に適している。具体的には、テレビジョン受信機用の D / A 変換器 は、図 8 に構成を示した回路を R、G、B データのそれぞれに対応させて 3 組備えており、1 画面に対応するフレームを構成する各走査線毎に所定の時間間隔でそれぞれが 8 ビットの R、G、B データが入力されて、それぞれのデータを補間する連続的な R、G、B アナログ電圧を生成する。

10

20

30

40

50

【0060】

実際の積分回路では、出力電圧のドリフトが生じるため、この影響を取り除く回路を有することが好ましい。本実施形態では、前段の積分処理部16に含まれる演算増幅器141とキャパシタ143および抵抗145によって平均値を0レベルに保持する回路が構成されており、演算増幅器140等によって構成される積分回路の出力の平均値が常に0Vとなるように演算増幅器140の非反転入力端子の電圧レベルが調整される。

【0061】

後段の積分処理部18に含まれる演算増幅器152とキャパシタ153および抵抗155によって平均レベル保持回路が構成されており、演算増幅器150等によって構成される積分回路の出力の平均値が、演算増幅器151の非反転入力端子に印加される電圧レベルと同じになるように、演算増幅器150の非反転入力端子の電圧レベルが調整される。なお、演算増幅器151の非反転入力端子に印加される電圧レベルは、入力データそのものをアナログ電圧に変換してその平均レベルを求めたものが用いられ、この電圧レベルを求めるために、順次入力される入力データを保持するD型フリップフロップによって構成されるデータ保持部180と、この保持されたデジタルデータに対応するアナログ電圧を発生するD/A変換器182と、D/A変換器182の出力電圧を積分する積分回路184とが備わっている。

10

【0062】

また、1フレーム毎に2つの積分処理部16、18に含まれる各積分回路の積分キャパシタに蓄積される電荷をリセットするために、スイッチ146、156が設けられており、垂直ブランキング信号がD型フリップフロップによって構成される同期化回路186によって同期化されて、垂直ブランキング期間に2つのスイッチ146、156がオン状態になる。このとき、演算増幅器140に接続されたキャパシタ142と演算増幅器150に接続されたキャパシタ152のそれぞれが放電され、それぞれの積分回路がリセットされる。

20

【0063】

図11は、タイミング制御部20の詳細な構成を示す図である。同図に示すように、タイミング制御部20は、3ビットカウンタ160と、非反転出力を有する3つの排他的論理和回路161～163と、反転出力を有する2つの排他的論理和回路164、165と、非反転出力を有する3つの論理積回路166～170と、反転出力を有する3つの論理和回路171～173とを含んで構成されている。

30

【0064】

また、図12は、図11に示したタイミング制御部20の動作タイミングを示す図である。図12において示したCLK、b0～b2、c1～c5、d1～d8のそれぞれの波形は、図11においてそれぞれの符号を付した箇所に現れる波形を示している。図11および図12に示すように、3ビットカウンタ160は、入力されるクロック信号CLKに同期したカウント動作を行っており、このクロック信号が立ち上がる毎にカウントアップされ、3ビット出力b0、b1、b2が更新される。

【0065】

上述したタイミング制御部20を用いて各階段関数発生部11-1～11-4に含まれる3つのスイッチのオンオフ状態を切り替えることにより、図7(C)、(E)、(G)、(I)に示した各階段関数を発生させることができる。具体的には、階段関数発生部11-1によって図7(C)に示した階段関数を発生させるために、この階段関数発生部11-1内の4つのトライステートバッファ100～106のオンオフ状態を、図11に示した論理和回路171の出力(d3)、論理積回路169の出力(d7)、論理積回路167の出力(d2)、論理積回路166の出力(d1)の論理状態によってそれぞれ切り替える。

40

【0066】

同様に、階段関数発生部11-2によって図7(E)に示した階段関数を発生させるために、この階段関数発生部11-2内の4つのトライステートバッファ100～106のオ

50

ンオフ状態を、図 11 に示した論理和回路 173 の出力 (d6)、論理積回路 170 の出力 (d8)、論理和回路 172 の出力 (d5)、論理積回路 168 の出力 (d4) の論理状態によってそれぞれ切り替える。階段関数発生部 11-3 によって図 7 (G) に示した階段関数波形を発生させるために、この階段関数発生部 11-3 内の 4 つのトリスレータバッファ 100 ~ 106 のオンオフ状態を、図 11 に示した論理積回路 169 の出力 (d7)、論理和回路 171 の出力 (d3)、論理積回路 166 の出力 (d1)、論理積回路 167 の出力 (d2) の論理状態によってそれぞれ切り替える。階段関数発生部 11-4 によって図 7 (I) に示した階段関数を発生させるために、この階段関数発生部 11-4 内の 4 つのトリスレータバッファ 100 ~ 106 のオンオフ状態を、図 11 に示した論理積回路 170 の出力 (d8)、論理和回路 173 の出力 (d6)、論理積回路 168 の出力 (d4)、論理和回路 172 の出力 (d5) の論理状態によってそれぞれ切り替える。

10

【0067】

なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、上述した実施形態では、標本化関数を全域で 1 回だけ微分可能な有限台の関数としたが、微分可能回数を 2 回以上に設定してもよい。また、図 1 に示すように、本実施形態の標本化関数は、 $t = \pm 2$ で 0 に収束するようにしたが、 $t = \pm 3$ 以上で 0 に収束するようにしてもよい。例えば、 $t = \pm 3$ で 0 に収束するようにした場合には、図 6 に示した D/A 変換器に含まれるデータ保持部や階段関数発生部のそれぞれの数を 6 とし、6 個のデジタルデータを対象に補間処理を行ってこれらのデジタルデータをなめらかにつなぐアナログ電圧を発生すればよい。

20

【0068】

また、必ずしも有限台の標本化関数を用いて補間処理を行う場合に限らず、 $- \sim +$ の範囲で値を有する有限回微分可能な標本化関数を用い、有限の標本位置に対応する複数個のデジタルデータのみを補間処理の対象とするようにしてもよい。例えば、このような標本化関数が二次の区分多項式で定義されているものとする、各区分多項式を 2 回微分することにより所定の階段関数波形を得ることができるため、この階段関数波形を用いて電圧の合成を行った結果に対して 2 回の積分処理を行うことにより、デジタルデータに対応した電圧をなめらかにつなぐアナログ信号を得ることができる。

【0069】

また、上述した実施形態では、D/A 変換器の用途の一例としてテレビジョン受像器に使用する場合を説明したが、それ以外の用途、例えばコンパクトディスク等に記録されたデジタルのオーディオデータをアナログのオーディオ音声に変換する場合などに本発明の D/A 変換器を用いることができる。

30

【0070】

【発明の効果】

上述したように、本発明によれば、順に入力される複数のデジタルデータのそれぞれに対応する所定の階段関数を発生させてこれらを加算し、その後この加算結果をアナログ電圧に変換して積分することにより連続的に変化するアナログ電圧が得られるため、最終的なアナログ信号を得るためにローパスフィルタを用いる必要がなく、扱われる信号の周波数によって位相特性が異なるために群遅延特性が悪化するといったことがなく、歪みの少ない出力波形を得ることができる。また、オーバーサンプリングを行っていた従来の手法に比べると、部品の動作速度を上げる必要がないため、高価な部品を使用する必要がなく、部品コストの低減が可能になる。

40

【図面の簡単な説明】

【図 1】本実施形態の D/A 変換器における補間演算に用いられる標本化関数の説明図である。

【図 2】標本値とその間の補間値との関係を示す図である。

【図 3】図 1 に示す標本化関数を用いたデータ補間の説明図である。

【図 4】図 1 に示した標本化関数を 1 回微分した波形を示す図である。

50

【図5】図4に示した折れ線関数をさらに微分した波形を示す図である。

【図6】本実施形態のD/A変換器の構成を示す図である。

【図7】本実施形態のD/A変換器の動作タイミングを示す図である。

【図8】図6に示したD/A変換器の詳細構成を示す図である。

【図9】階段関数発生部の詳細構成を示す図である。

【図10】変形後の階段関数と階段関数発生部内の各トライステートバッファのオンオフ切替タイミングとの関係を示す図である。

【図11】タイミング制御部の詳細な構成を示す図である。

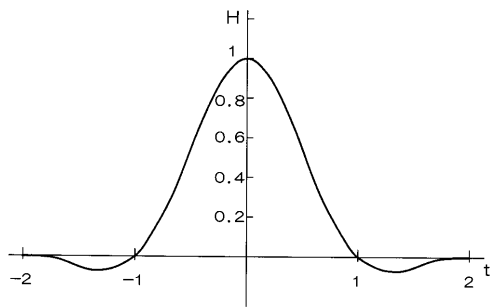
【図12】図11に示したタイミング制御部の動作タイミングを示す図である。

【図13】sinc関数の説明図である。

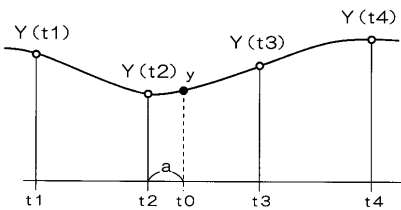
【符号の説明】

- 10 - 1、10 - 2、10 - 3、10 - 4 データ保持部
- 11 - 1、11 - 2、11 - 3、11 - 4 階段関数発生部
- 12 加算器
- 14 D/A (デジタル - アナログ) 変換器
- 16、18 積分処理部
- 20 タイミング制御部

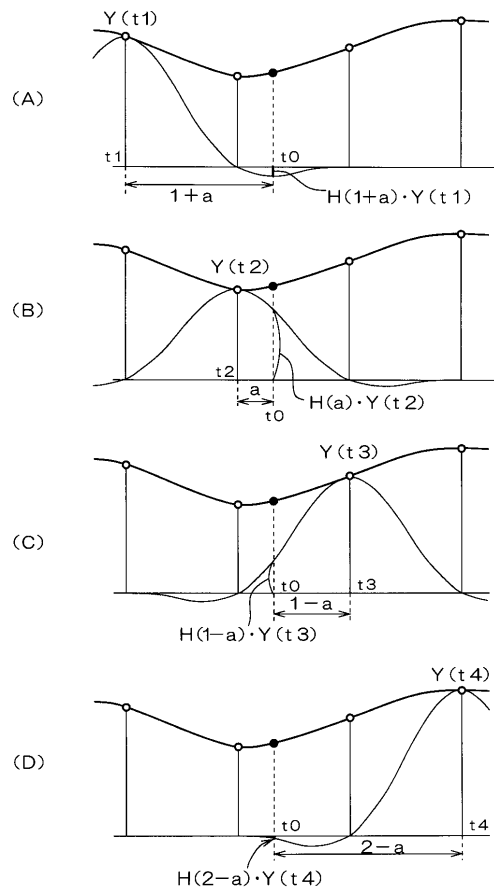
【図1】



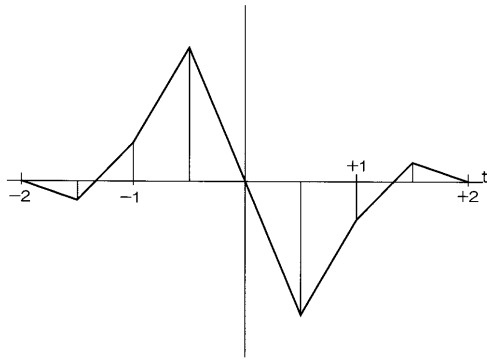
【図2】



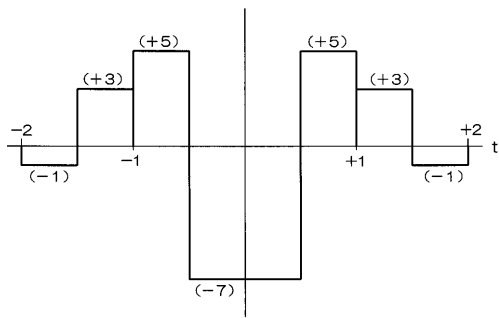
【図3】



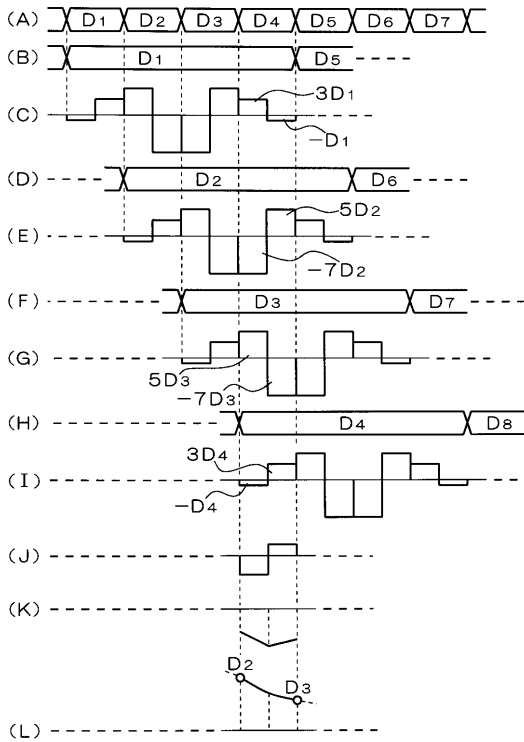
【 図 4 】



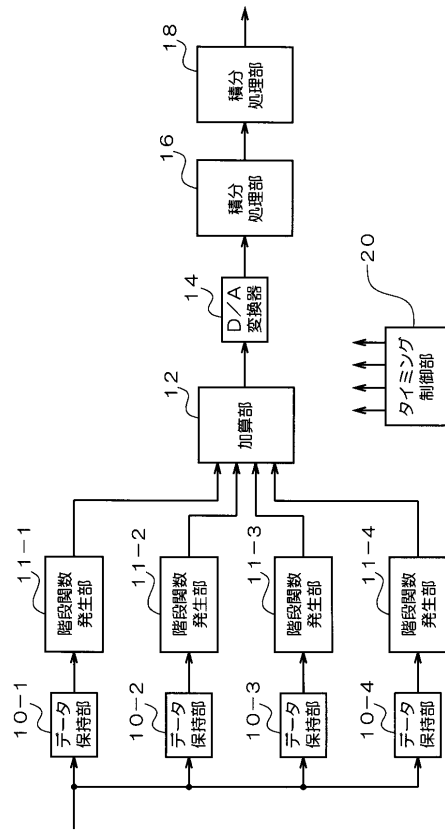
【 図 5 】



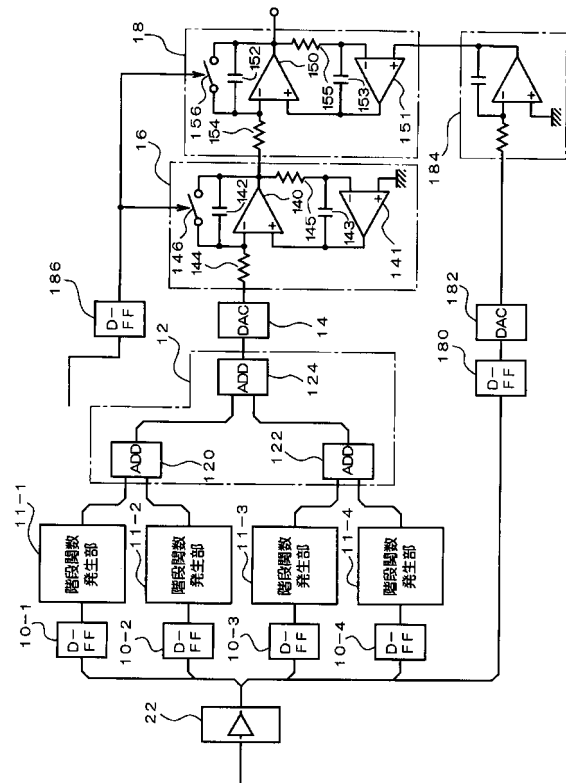
【 図 7 】



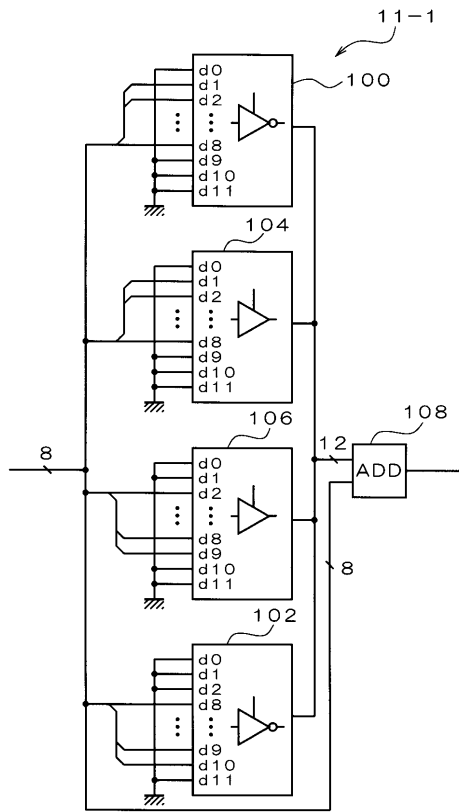
【 図 6 】



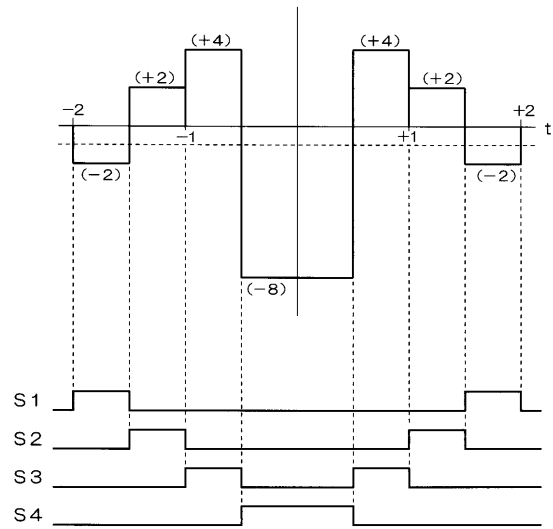
【 図 8 】



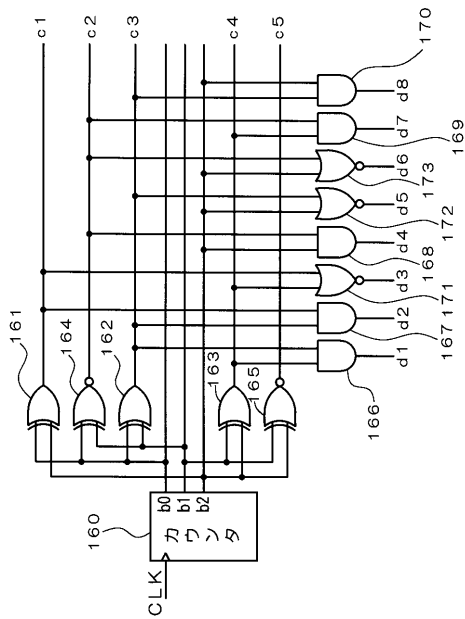
【 図 9 】



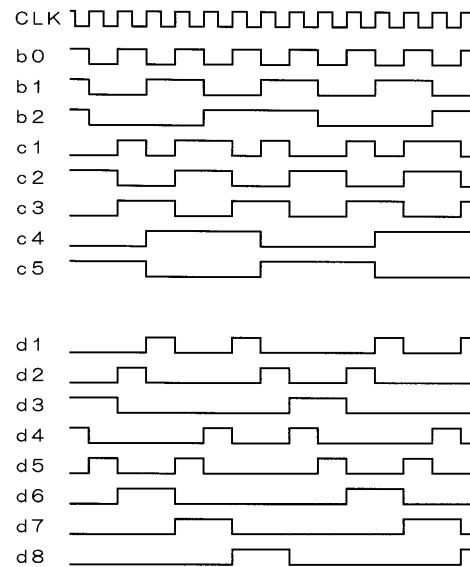
【 図 10 】



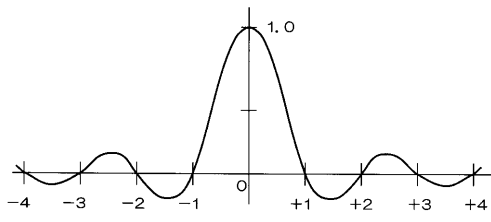
【 図 11 】



【 図 12 】



【 図 1 3 】



フロントページの続き

(56)参考文献 米国特許第03543009 (US, A)
KAMADA M ET AL, QUADRATIC SPLINE INTERPOLATOR, INTERNATIONAL JOURNAL OF SYSTEMS SCIENCE
, 英国, 1996年, vol.27, no.10, pages977-983

(58)調査した分野(Int.Cl., DB名)
H03M1/00-1/88